

R.P. JACOBI*

SUMÁRIO

A concepção de um gerador de sincronismo programável para vídeos tipo varredura fixa é apresentada desde a definição das células básicas até o desenho das máscaras. O circuito é composto basicamente por dois blocos principais encarregados da geração dos sinais de sincronismo vertical e horizontal, e por um conjunto de registradores auxiliares. Os blocos principais são compostos por contadores, por registradores programáveis e por comparadores. É apresentado o "lay-out" destas células básicas na tecnologia NMOS.

ABSTRACT

The design of a programmable synchronism Generator for raster scan CRTs is presented from the definition of the basic cells to the layout of the marks. This Circuit is basically made up of two synchronism generating blocks: one for the vertical and another for the horizontal signs, and a set of auxiliary registers. The main blocks are composed by NMOS implemented counters, programmable registers and comparators. The layout of these basic cells are shown.

* Engenheiro Eletrônico (UFRGS), aluno do Curso de Pós-Graduação em Ciência da Computação, UFRGS, Caixa Postal 1501, 90.000, Porto Alegre, RS.

1. Introdução

A utilização de terminais de vídeo como interface de comunicação entre homem e máquina tornou-se muito difundida em função da natureza essencialmente visual de aquisição de informações pelo homem. Diversos tipos de terminais de vídeo foram desenvolvidos com diferentes tecnologias. Como decorrência do barateamento dos componentes do hardware, como as memórias p. ex., os terminais de vídeo tipo varredura fixa atingiram uma relação desempenho/custo superior aos demais, na maior parte das aplicações. Outro fator que tem contribuído para a diminuição do seu custo é o surgimento de circuitos integrados dedicados ao controle da exibição da imagem, que agrupam diversas funções em uma única partilha de silício. Por esses motivos esse tipo de terminal de vídeo tornou-se o mais utilizado comercialmente.

O funcionamento do terminal tipo varredura fixa requer basicamente dois tipos de informação: o sinal de vídeo, que descreve a imagem, e os sinais de sincronismo, que posicionam a imagem corretamente na tela. O circuito apresentado neste artigo, foi proposto como um trabalho para a disciplina de Microeletrônica I, consistindo em um gerador de sinais de sincronismo para vídeos tipo varredura fixa, sendo o formato de exibição programável. A concepção foi feita em tecnologia NMOS com porta de silício e pré-contatos, a ser fabricada em uma partilha tipo multiprojeto.

2. Função dos Sinais de Sincronismo

A imagem em um vídeo tipo varredura fixa é formada pela incidência de um feixe de elétrons sobre a superfície interna da tela. Essa superfície contém um fósforo que emite luz ao ser excitado pelos elétrons. O movimento do feixe sobre a tela é similar ao movimento de escrita sobre uma página, da esquerda para a direita e de cima para baixo, sendo que um ciclo completo do feixe sobre a tela é chamado de campo. Assim como um texto em uma página, a imagem na tela do vídeo também é circundada por uma margem. Durante este período, que inclui o retraço horizontal e vertical (retorno do feixe no fim de uma linha ou campo), o feixe é desligado.

A informação de quando o feixe deve retornar para iniciar uma nova linha ou um novo campo e de quando o feixe está na margem ou na área de exibição da imagem deve ser fornecida ao terminal de vídeo. O circuito que fornece estas informações é o gerador de sincronismo. O sistema de exibição pode ser entrelaçado ou não. No sistema entrelaçado o feixe percorre as linhas pares, completando um campo, e depois as linhas ímpares, conforme mostra a figura 1. Desta forma é obtida uma definição maior com a mesma

Em função dessas características, o circuito implementado gera os seguintes sinais:

- a) PS H (pulso de sincronismo horizontal), que faz o feixe retornar para iniciar uma nova linha.
- b) PSV (pulso de sincronismo vertical), que faz o feixe retornar para iniciar um novo campo.
- c) HE (habilitação de exibição), que desliga o feixe nos períodos de "blank" (margem).
- d) PSVE (pulso de sincronismo vertical entrelaçado), que, junto com o PSV, permite gerar o sistema entrelaçado.
- e) CAMPO, que informa qual o campo em exibição, das linhas pares ou ímpares, no sistema entrelaçado.

3. Formatos de Exibição

O gerador de sincronismo concebido permite a utilização de diversos formatos de exibição. Estes formatos são estabelecidos em função do número de linhas exibidas na tela e do número de caracteres por linha. A unidade básica de tempo para o circuito é o período de exibição de um caractere na tela. Assim, a duração de uma linha e consequentemente de um campo, é um múltiplo desse período básico.

Os dados que definem o formato a ser utilizado e que podem ser programados são os seguintes:

- a) número de caracteres contidos em uma linha
- b) número de caracteres exibidos em uma linha
- c) duração do PSH
- d) atraso do PSVE em relação ao PSV.
- e) número de linhas contidas em um campo.
- f) número de linhas exibidas em um campo.
- g) duração do PSV.

4. Arquitetura Interna e Funcionamento do Circuito

A arquitetura interna do circuito é mostrada na figura 2. É utilizado um contador para registrar o número de caracteres contidos em uma linha. Este contador é ligado aos registradores que contêm os dados rela-

tivos ao formato da linha. A cada registrador está ligado um comparador, que compara o valor do contador com o registrador. Esses registradores, comparadores e o contador tem 8 bits.

O contador vertical registra o número de linhas contidas em um campo. Está ligado a comparadores e registradores, que contêm as informações relativas ao formato do campo. Todos esses tem 10 bits, permitindo um formato de até 1024 linhas por campo.

Os comparadores detectam a coincidência entre o valor de um contador e o valor de um registrador, gerando um sinal que será utilizado para produção dos sinais de sincronismo. Desta forma, a programação do PSH, por ex., é feita gravando-se o número do caracter da linha onde começa o PSH e o número do caracter onde ele termina. Os contadores são resetados sempre que atingem o valor programado como número total de linhas/caracteres por campo/linha.

Os sinais de sincronismo são gerados por FFs tipo SR, que são controlados pelos sinais provenientes dos comparadores. O sinal CAMPO é gerado por um FF tipo TOGGLE, que é invertido a cada mudança de campo. A lógica de geração do PSVE é mostrada na figura 3. Utiliza o sinal PSV condicionado à informação de CAMPO. O atraso do PSVE em relação ao PSV é obtido a partir do sinal gerado pelo registrador/comparador que contém o número do caracter onde deve começar o PSVE.

5. Programação do CI

A escrita de um dado no circuito requer a habilitação do circuito (CS="0") e a ativação do sinal de escrita (WR="0"). O sinal SR é utilizado para selecionar o registrador de endereços ou os registradores programáveis. Um diagrama de tempos destes sinais é mostrado na figura 4. A gravação de um dado em um registrador envolve dois ciclos de escrita: No primeiro seleciona-se o registrador de endereços (SR="0") e carrega-se o endereço de registrador a ser gravado, e no segundo ciclo escreve-se o dado no registrador especificado (SR="1").

Como os registradores do bloco de geração de sinais de sincronismo para o vertical tem 10 bits e o barramento tem 8 bits, os 2 bits que faltam são armazenados no registrador de endereços durante o primeiro ciclo de escrita. Correspondem aos bits menos significativos do dado e são armazenados nos bits mais significativos do registrador de endereços. No segundo ciclo de escrita esses bits são gravados no registrador junto com os 8 bits do barramento.

O número total de registradores é 9, 5 para o horizontal e 4 pa

6. Filosofia do Projeto

Procurou-se simplificar ao máximo as conexões e fazer o circuito de uma forma modular, baseado na repetição de poucas células básicas. Com isso minimizou-se o tempo gasto na concepção.

A simplificação nas ligações foi obtida pelo compartilhamento de um mesmo barramento pelo contador e pelos registradores e comparadores de um mesmo bloco, conforme figura 5.

Os barramentos de dados e alimentação foram dispostos ortogonalmente em relação aos sinais de controle, sendo a alimentação estruturada na forma de dois pentes imbricados, VCC e GND, abrangendo todo o circuito.

Foram utilizados PADs de entrada, saída, VCC, GND e relógio com gerador de duas fases não superpostas, fornecidos pelo fabricante. A plan_{ta} baixa do circuito a nível de blocos, com a localização dos PAD's é mostrada na figura 6.

A regularidade dos blocos principais foi obtida pela repetição das células básicas do contador, registrador/comparador e registrador de endereços. O lay-out do circuito completo é mostrado na figura 7.

O fator de regularidade do circuito (FR), que é a relação entre o número total de transistores do circuito dividido pelo número de transistores realmente projetado, foi o seguinte:

$$FR = \frac{1675}{157} = 10,6$$

7. Células Básicas

A célula do contador é mostrada na figura 8. É composta por FF tipo mestre-escravo, com lógica de incremento na realimentação. A geração do vai-um é feita de forma complementada de uma célula para a outra. Nas células pares faz-se um NAND entre dado e o vem-um e nas células ímpares faz-se um NOR entre o dado negado e o vem-um negado, gerando-se um vai-um não negado para a célula seguinte. A lógica de incremento é feita através de um XOR entre dado e vem-um. Os FF são implementados por inversores realimentados por um transistor de passagem, e controlados por um relógio de duas fases não superpostas.

A célula registrador/comparador (figura 9) utiliza um FF estático, com um transistor tipo depleção na realimentação e um XOR que detecta a coincidência entre o valor do registrador e o do barramento. Quando

todos os bits de um registrador correspondem aos do barramento uma linha de controle em polisilício é levada a "1", indicando a igualdade.

O registrador de endereços (figura 10) é igual a célula do registrador/comparador serem o comparador.

Os FF SR e TOGGLE utilizados pela lógica de geração dos sinais de sincronismo são mostrados na figura 11.

8. Conclusão

O circuito proposto implementa as funções básicas de geração dos sinais de sincronismo para um vídeo tipo varredura fixa. A flexibilidade decorrente da possibilidade de programação do circuito para diferentes formatos de exibição foi obtida de uma forma simples pelo compartilhamento do barramento dentro dos blocos principais. Essa característica permite ainda a expansão da capacidade do circuito pela inclusão de registradores nos blocos, implementando outras funções.

Procurou-se utilizar uma metodologia, descendente de concepção, analisando-se a estrutura do circuito a partir de seus blocos funcionais e descendo-se então até o nível das máscaras.

Tornou-se evidente durante a concepção a necessidade de ferramentas de software que auxiliem e automatizem o processo de concepção para garantir a confiabilidade do circuito concebido.

9. Bibliografia

- /MEAD 80/ MEAD, Carver & CONWAY, Lynn. Introduction to VLSI systems. Addison-Wesley, 1980.
- /MOT 82/ MOTOROLA, MICROPROCESSOR DATA MANUAL. MC 6845 CRT Controller Pag 4-457, 479. 1982.
- /REIS 83/ REIS, Ricardo Augusto da Luz. Evalueur Topologique predictif pour la generation automatique des plans de masse de circuits VLSI. Grenoble, Institut National Polytechnique 1983.
- /THOM 82/ THOMSON-EFCIS INTEGRATED CIRCUITS. Videotext CRT display processor. 1982.
- /SUZ 81/ SUZIM, Altamiro Amadeu. Etude des parties a elements modulaires pour processeur monolithiques. Grenoble, Institut National Polytechnique, 1981.

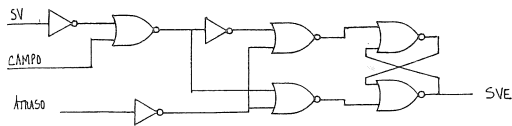


Figura 3: Lógica de geração do PSVE.

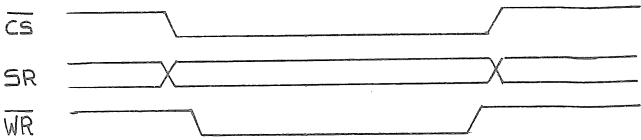


Figura 4: Diagrama de tempos para operação de escrita.

SR	REND						REGISTRADOR
	5	4	3	2	1	0	
0	X	X	X	X	X	X	Registrador de Endereço
1	0	1	1	1	1	1	Número Total de Linhas
1	0	1	1	1	0	1	Início Blank Vertical
1	0	1	1	0	1	1	Início PSV
1	0	1	0	1	1	1	Fim PSV
1	1	1	1	1	1	0	Número Total de Caracteres
1	1	1	1	1	0	1	Início Blank Horizontal
1	1	1	1	0	1	1	Início PSH
1	1	1	0	1	1	1	Fim PSH
1	1	0	1	1	1	1	Deslocamento do PSVE

Tabela 1: Programação do circuito.

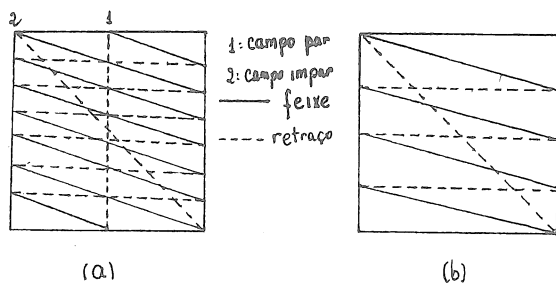


Figura 1: Sistema de exibição (a) entrelaçado e (b) não entrelaçado.

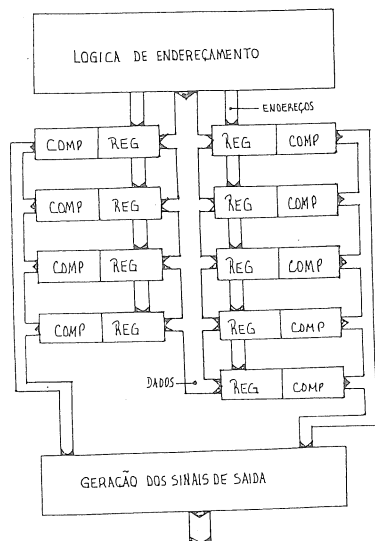


Figura 2: Arquitetura Interna.

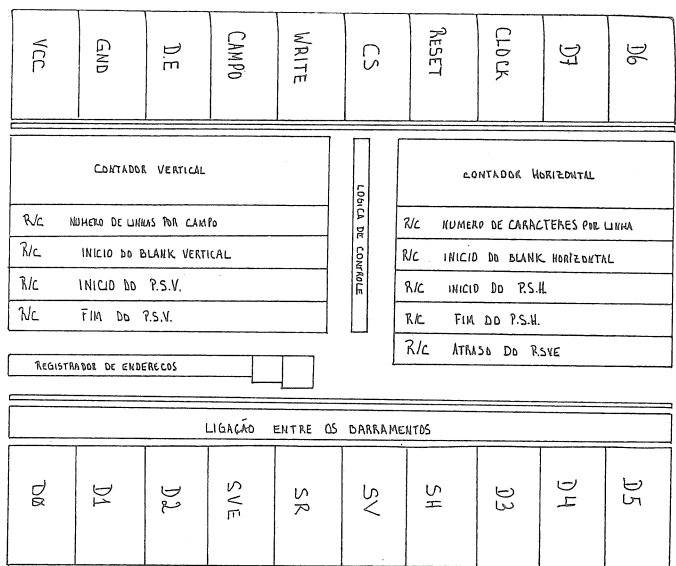


Figura 6: Planta baixa do circuito.

Contador	Registradores/Comparador.			

Figura 5: Barramento compartilhado.

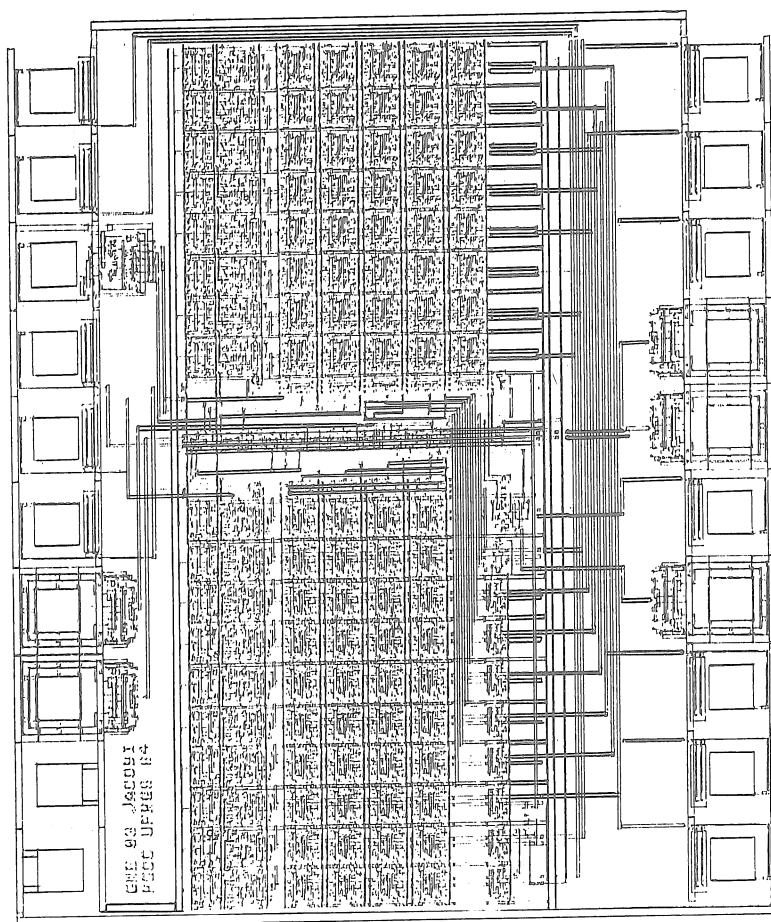


Figura 7: Layout final do circuito.

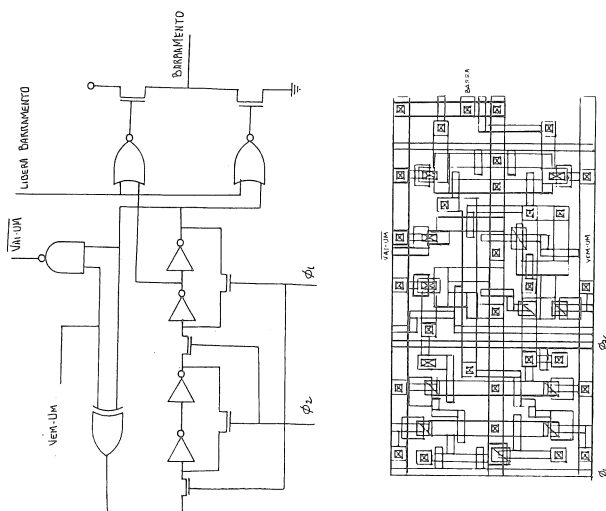


Figura 8: Contador: esquema lógico e layout.

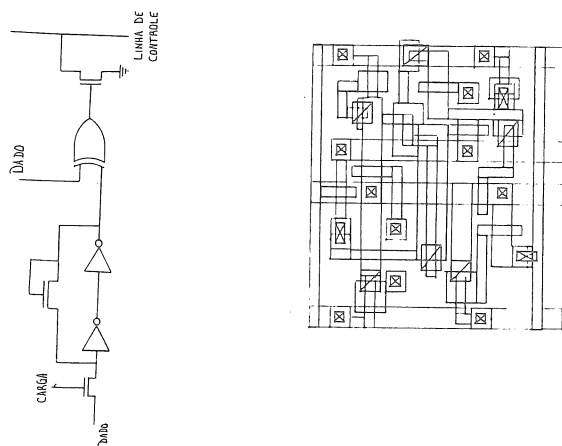


Figura 9: Registrador/comparador: esquema lógico e layout.

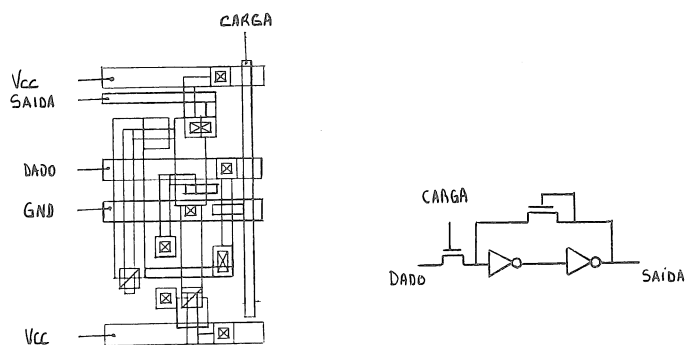


Figura 10: Registrador de endereços: layout e esquema lógico.

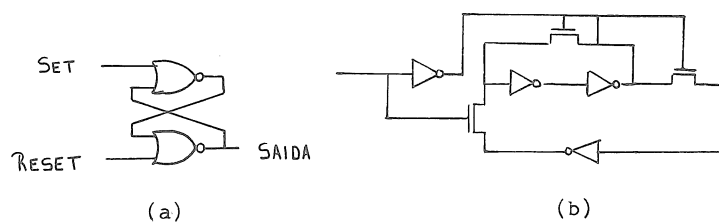


Figura 11: Flip-flops: (a) SR e (b) TOGGLE.